

TIMER

Introducción

El timer es una macrocélula periférica al núcleo de la familia ST62xx que consiste en un contador de 8-bits con un prescaler programable de 7-bits (la combinación de ambos puede entregar una cuenta máxima de 2^{15}) y un registro, más la lógica asociada de control, para configurar el periférico en sus cuatro modos de funcionamiento. También posee una patilla externa etiquetada como TIMER y disponible por el usuario. El contenido del contador de 8-bits puede ser leído ó escrito en el Registro Timer / Contador (TRC) direccionable en el Espacio de Datos en la posición D3h. El estado del prescaler de 7-bits puede leerse en el registro PSC en la dirección D2h del Espacio de Datos. El control lógico del dispositivo lo maneja el registro TSCR direccionado en la posición D4h del Espacio de Datos.

El contador de 8-bits se decrementa en una unidad cada vez que a la salida del prescaler se produce un flanco de subida, y puede ser cargado y leído bajo control del programa. Cuando llega a cero el bit TMZ (Timer Zero) del registro TSCR se coloca en "1". Si el bit ETI (Enable Timer Interrupt, ó habilitación de la interrupción del Timer) está activado (colocado a "1") en el registro TSCR se produce una petición de interrupción asociada al vector #3 (direcciones FF3h y FF2h del Espacio de Programa). La interrupción del timer puede usarse, por ejemplo, para sacar al microcontrolador del modo WAIT.

La entrada del prescaler puede conectarse a la frecuencia del oscilador dividida por 12 ó bien a un reloj exterior conectado a la patilla TIMER. El prescaler se decrementa en una unidad con un flanco de subida en su entrada. Dependiendo del factor de división programado en los bits PS2, PS1 y PS0 del registro TSCR, la entrada de reloj del contador puede provenir de diferentes fuentes (esto se consigue con un multiplexor controlado por las anteriores líneas). Un factor de división de 1 (los tres bits a cero) hace que la entrada del contador sea la misma que la del prescaler, con un factor de 2 la entrada del contador se conecta al bit 0 del prescaler y hay que tener en cuenta que dicha patilla da un flanco de subida cuando se producen dos pulsos positivos en la entrada del prescaler, con un factor de 4 la entrada del contador se conecta al bit 1 del prescaler y así sucesivamente.

En la siguiente tabla se muestran los diferentes valores de división del prescaler para cada combinación binaria de PS2, PS1 y PS0 :

Factores de división del prescaler			
PS2	PS1	PS0	Divisor por...
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

El bit de inicialización del prescaler (PSI) del registro TSCR se coloca a "1" para permitir el comienzo de este (y por lo tanto del contador). Si este bit se coloca a "0" todos los bits del prescaler se colocan a uno (7Fh, el bit nº 7 del prescaler siempre se leerá como "0") y tanto el prescaler como el contador están inhibidos. El prescaler puede ser cargado con un valor entre 0 y 7Fh escribiendo en la dirección D2h del Espacio de Datos, siempre y cuando el bit PSI del registro TSCR esté a "1".

Modos de operación del Timer

Hay cuatro modos de operación en el periférico Timer. Se seleccionan ajustando los bits TOUT y DOUT del registro TSCR. Estos modos corresponden a las dos señales que pueden conectarse a la entrada del preescaler (TOSC / 12 ó entrada externa por la patilla TIMER) y al modo de salida ("0" ó "1").

Modo puerta

En este modo el prescaler se decrementa en una unidad con cada flanco de subida del reloj interno (frecuencia del oscilador dividida por 12), pero *solo* cuando la señal en la patilla TIMER permanece a nivel alto (esto permite medir pulsos en la entrada TIMER de forma muy potente). Este modo se selecciona colocando el bit TOUT igual a "0" (ó sea en modo entrada) y el bit DOUT igual a "1" en el registro de control TSCR.

Modo entrada de reloj

En este modo la patilla TIMER se utiliza como entrada del prescaler, decrecentandose este último en el flanco de subida de aquella. La máxima frecuencia que puede aplicarse en la entrada es de 1/8 la frecuencia del oscilador cuando el procesador esta funcionando en modo normal, pero puede ser mayor en el modo WAIT (esto es debido a la necesidad de sincronización con el núcleo, cosa que en principio no es necesaria en el modo WAIT). Este modo se selecciona colocando el bit TOUT igual a "0" (modo de entrada) y el bit DOUT igual a "0", ambos en el registro de control TSCR.

Modo salida nivel bajo

La patilla TIMER pasa a nivel lógico bajo después de un n° de impulsos en la entrada de reloj interna dado por:

$$12 \times \text{factor de división del prescaler} \times \text{dato en el contador.}$$

Este modo de operación se programa colocando TOUT = "1" (modo salida) y el bit de datos de salida DOUT = "0", ambos del registro TSCR.

Modo de salida nivel alto

Se diferencia del anterior solo en que esta vez DOUT = "1" y por lo tanto la patilla TIMER pasará a nivel lógico alto después de un n° de impulsos del reloj interno dado por:

$$12 \times \text{factor de división del prescaler} \times \text{dato en el contador}$$

En la siguiente tabla se resumen los cuatro modos de operación del timer:

Modos de operación del Timer			
TOUT	DOUT	Modo	Función
0	0	Entrada	Contador de eventos
0	1	Entrada	Contador de tiempo
1	0	Salida	Patilla TIMER = "0"
1	1	Salida	Patilla TIMER = "1"

Notas

En las versiones EPROM y OTP el usuario debe colocar externamente una resistencia pull-up en la patilla TIMER.

El bit TMZ se activa a "1" cuando la cuenta llega a 00h, algunas veces puede activarse simplemente escribiendo el dato 00h en el registro TCR ó colocando el bit 7 (precisamente TMZ) a "1". También puede borrarse por el usuario cuando no se desea que se produzcan interrupciones innecesarias debidas al timer (por ejemplo en el transcurso de una rutina de servicio de una interrupción). Después de un RESET, el contador de 8-bits se carga con el dato FFh mientras que el prescaler de 7-bits lo hace con el dato 7Fh, y el registro TSCR se borra (de esta forma el timer esta parado PSI = "0" y las interrupciones deshabilitadas ETI = "0").

Si el timer se programa en modo salida , el bit DOUT se transfiere a la patilla TIMER cuando TMZ sube a "1" (por software ó porque la cuenta llega a cero). Cuando TMZ esta a nivel alto, el latch es transparente y DOUT se copia en la patilla TIMER, cuando regresa a nivel bajo, DOUT se latched ó memoriza.

Una escritura en el registro TCR predomina sobre el decremento del contador a 00h, por ejemplo, si la escritura y el decremento, que situa el contador en 00h, coinciden en el tiempo, la escritura tiene prioridad, y el bit TMZ no se coloca a "1" hasta que el contador vuelva a 00h de nuevo.

Registro de control del Timer

El registro de control del timer se compone de los siguientes bits:

TMZ. Un flanco de subida en este bit indica que el registro de cuenta del timer se ha decrementado hasta 00h. Puede borrarse por el usuario para así poder empezar una nueva cuenta.

ETI. Este bit, cuando se activa a "1", habilita la interrupción del timer. Si se coloca a "0" se inhibe dicha interrupción. Si TMZ = "1" y ETI = "1" se genera una petición de interrupción (vector #3).

TOUT. Cuando esta a "0" selecciona el modo de entrada del timer, si está a "1" se selecciona el modo de salida.

DOUT. Dato (de un bit) que se obtiene en la patilla TIMER cuando este se encuentra en modo de salida, en el modo de entrada selecciona el modo de esta (contador de eventos ó medidor de tiempos).

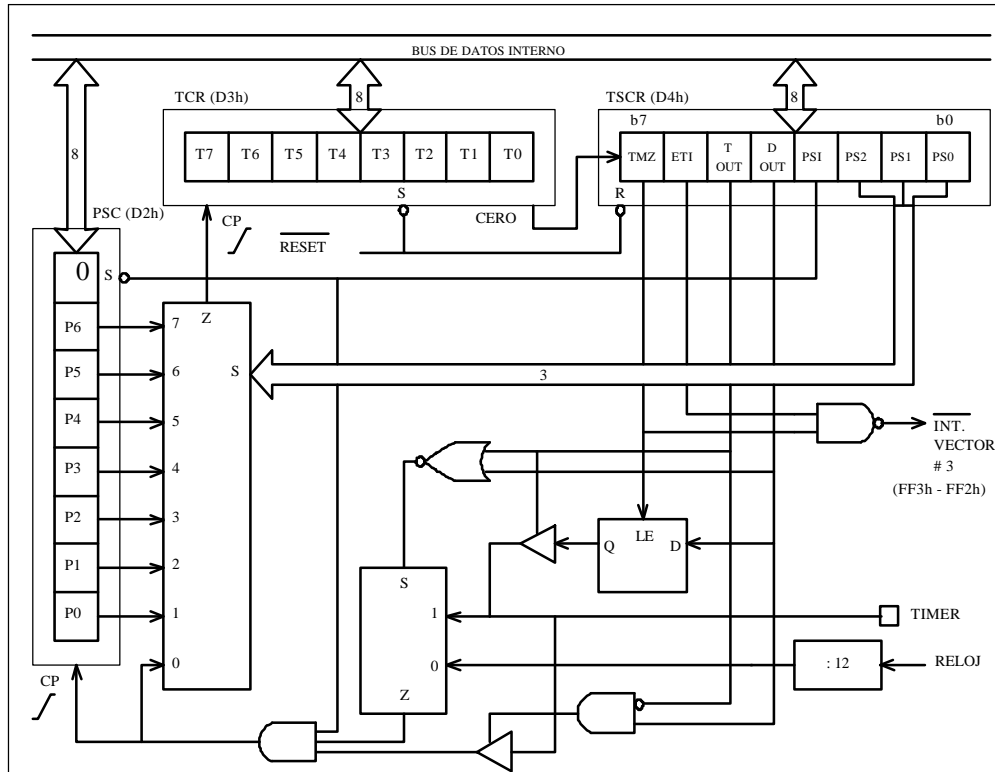
PSI. Usado para inicializar el prescaler e inhibir su cuenta. Si esta a "0" el prescaler se carga con el dato 7Fh y la cuenta se encuentra inhibida. Cuando es "1" el prescaler está habilitado y la cuenta comienza.

PS2, PS1, PS0. Estos tres bits seleccionan el factor de división del registro prescaler según la tabla dada anteriormente.

En la tabla siguiente se detalla el contenido del TSCR:

Registro de control del Timer (TSCR)							
D7	D6	D5	D4	D3	D2	D1	D0
TMZ	ETI	TOUT	DOUT	PSI	PS2	PS1	PS0

En la siguiente figura mostramos el esquema interno del timer:



En la siguiente tabla se especifican las características básicas del Timer:

Características del Timer						
Símbolo	Parámetro	Condiciones del Test	Valor			U.
			Min.	Típico	Max.	
t_{RES}	resolución		$12 / f_{OSC}$			sg
f_{IN}	frecuencia de entrada en la patilla TIMER	$V_{DD} = 3.0 \text{ v}$			$f_{OSC} / 8$	Hz
		$V_{DD} = 4.5 \text{ v}$			$f_{OSC} / 8$	
t_W	Anchura del impulso en la patilla TIMER	$V_{DD} = 3.0 \text{ v}$	1			μsg
		$V_{DD} = 4.5 \text{ v}$	125			nsg
		$V_{DD} = 5.5 \text{ v}$	125			